

引用格式:薛候凯, 高强, 姚彦鑫. 一种可靠的 OFDM 基带系统设计及 FPGA 实现 [J]. 微电子学与计算机, 2019, 36(3): 12-16. [XUE Hou-kai, GAO Qiang, YAO Yan-xin. Design and implementation of a reliable OFDM baseband system based on FPGA [J]. Microelectronics & Computer, 2019, 36(3): 12-16.]

一种可靠的 OFDM 基带系统设计及 FPGA 实现

薛候凯¹, 高 强¹, 姚彦鑫²

(1 北京航空航天大学 电子信息工程学院, 北京 100191;

2 北京信息科技大学 信息与通信工程学院, 北京 100192)

摘 要: 论文设计了一种可靠的 OFDM 基带系统, 主要包括卷积编解码、交织和解交织、OFDM 调制和解调, 并给出了系统方案及其在 FPGA 上的实现方法. 设计中采用了一种基于延时相关和互相关联合判决的帧同步实现方案, 并将帧同步的结果作用于丢帧补零模块和解交织模块, 提高系统的可靠性. 采用 FPGA 硬件实现该系统, 分别对其在 AWGN 和单音干扰、部分频带干扰下的性能进行测试. 测试结果表明, 实现的 OFDM 基带系统在较大噪声和干扰的情况下能够实现数据的可靠传输.

关键词: 可靠性; 正交频分复用; 现场可编程门阵列; 帧同步

中图分类号: TN914

文献标识码: A

文章编号: 1000-7180(2019)03-0012-05

Design and implementation of a reliable OFDM baseband system based on FPGA

XUE Hou-kai¹, GAO Qiang¹, YAO Yan-xin²

(1 School of Electronic and Information Engineering, Beihang University, Beijing 100191, China;

2 School of Information and Communication Engineering, Beijing Information
Science and Technology University, Beijing 100192, China)

Abstract: In this paper, a reliable orthogonal frequency division multiplexing (OFDM) baseband system is designed, including convolution coding and decoding, interleaver and deinterleaver, OFDM modulation and demodulation. The system scheme and implementation methods of field programmable gate array (FPGA) are also provided. A frame synchronization scheme based on delay-correlation and cross-correlation is adopted, and the result of frame synchronization is used for both lost frame complement zero module and deinterleaver module in order to improve reliability. The performances of system implemented by FPGA are tested under the additive white Gaussian noise (AWGN) and the interference of single tone and partial band respectively. The results indicate that the system implemented can achieve reliable data transmission with large noise and interference.

Key words: reliability; OFDM; FPGA; frame synchronization

1 引言

OFDM 技术具有良好的抗噪声、抗多径干扰能力, 受到学术界及工业界的关注, 被广泛应用于固定

或移动数字传输系统如数字音频广播(Digital audio broadcast, DAB), 数字视频广播(Digital video broadcast, DVB), IEEE 802.11a 和 IEEE 802.16 等, 并成为第 5 代移动通信的关键技术之一。

帧同步是实现 OFDM 通信系统的关键技术之一,是接收端信号同步的第一步,它的功能是检测 OFDM 数据帧的到达时刻,并给出数据帧可靠的起始点信息,帧同步的性能好坏直接影响到接收端后续精确符号同步和载波同步的功能和性能。

目前许多文献都提出了基于前导序列的帧同步方法,大都基于序列的重复性^[1]和已知性^[2]。本文设计并实现了一个基于 FPGA 的 OFDM 基带系统。

2 系统整体方案

根据系统可靠性的需求,对 OFDM 基带系统方案进行设计,系统结构框图如图 1 所示。主要包含卷积编解码、交织和解交织、OFDM 调制和解调以及噪声和干扰部分^[3]。

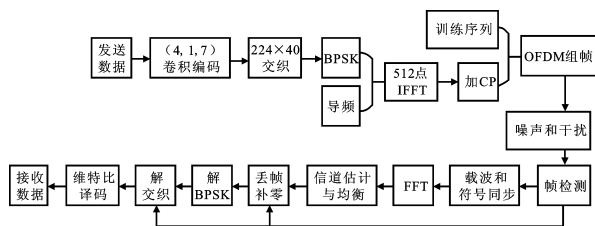


图 1 OFDM 基带系统结构框图

在发送端,待发送的数据首先采用卷积编码的方法,编码速率为 $R=1/4$,约束长度为 7。经过卷积编码的比特流每 8 960 个数据分为一组,进行 224×40 的矩形块交织,按行写入按列读出。将经过卷积编码和交织后的二进制数据进行 BPSK 调制, BPSK 具有较强的抗干扰能力,且容易实现。数字调制后的数据先插入导频,然后经过 IFFT 调制到 512 个正交子载波上,再加上循环前缀,与训练序列组帧形成 OFDM 基带信号。基带信号在传输过程中加入噪声和干扰到达接收端。

接收端首先通过帧同步获得数据帧的起始位置,帧同步采用延时相关和互相关联合检测的方法,帧同步的结果同时作用于丢帧补零模块和解交织模块,然后进行载波同步和符号同步,FFT 解调,信道估计与均衡。丢帧补零模块的作用是根据帧同步结果判断是否有数据帧丢失,如果检测到帧丢失的情况,在丢失的位置补零。最后解 BPSK 的数据经过解交织,送入维特比译码模块进行信道译码,得到接收数据。

本文设计的帧结构采用一种特殊子帧与普通子帧结合的方法,特殊子帧有更高的可靠性,接收端在延时相关和互相关的基础上,再利用两种子帧的时间关系,达到更准确的检测效果。图 2 为系统的帧结构。

一个无线帧由 14 个子帧组成,包括 1 个特殊子帧和 13 个普通子帧。特殊子帧和普通子帧的区别是短训练序列的长度,特殊子帧的短训练序列 SP_STS 包含 1370 个采样点,普通子帧的短训练序列 STS 包含 640 个采样点。每个子帧由 15 个 OFDM 符号组成,其中包括 1 个短训练符号、4 个长训练符号和 10 个数据符号。每个数据符号由 512 个子载波组成,包括 398 个数据子载波、10 个导频子载波和 104 个保护子载波。

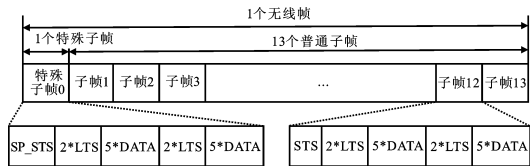


图 2 OFDM 基带系统帧结构

3 帧同步设计与实现

3.1 帧同步设计

结合文献^[2]提出的帧同步算法,考虑 FPGA 的具体硬件实现,文章采用的帧同步方法可以表示为式(1)。

$$\left\{ \begin{array}{l} \text{延时相关: } C_n = \sum_{k=0}^{L_1-1} r_{n-k} D r_{n-k}^*, \\ P_n = \sum_{k=0}^{L_1-1} |r_{n-k}|^2, m_n = \frac{|C_n|}{P_n} \\ \text{互相关: } R_n = \sum_{k=0}^{L_2-1} r_k S_k^* \end{array} \right. \quad (1)$$

式中, r_n 为接收端收到的数据序列; L_1 为延时相关的滑动窗口长度; D 为延时相关的延时长度的; S_n 为已知的本地短训练序列; L_2 为互相关的滑动窗口长度。式(1)采用了归一化的延时相关,用能量值 P_n 对相关值 C_n 做归一化,使得归一化系数 m_n 不依赖于接收信号的绝对功率。在互相关中,对接收到的数据序列 r_n 进行量化处理,简化乘法运算,从而减小互相关运算的复杂度。

图 3 是选取延时相关的滑动窗口长度 $L_1 = 128$,延时长度的 $D = 128$,互相关窗口长度 $L_2 = 128$ 的条件下,在 MATLAB 中对上述帧同步方法仿真得到的归一化延时相关曲线和互相关曲线。

利用延时相关和互相关实现帧同步的原理如下^[4-5]: (1) 分别计算接收信号和接收信号延时的相关值 C_n 以及接收信号的能量值 P_n ,用能量值 P_n 对相关值 C_n 作归一化,得到归一化系数 m_n ; (2) 同时并行计算接收信号和本地已知的短训练序列的互相关

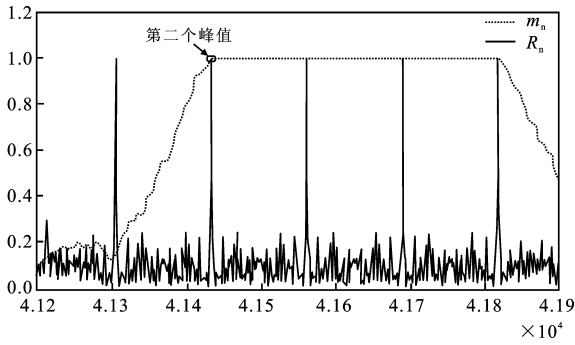


图3 理想情况下的归一化延时相关和互相关曲线

关值 R_n ; (3) 考虑到在低信噪比条件下, 归一化系数 m_n 可能由于受到较大随机噪声的影响而超过预先设定的判决门限值, 从而错误的判断有数据帧到来, 因此在延时相关的基础上增加长度保持的条件, 即要求判决变量 m_n 要在预设门限值之上保持一定的采样周期才判决有数据帧的到来; (4) 以延时相关归一化系数 m_n 的判决结果作为参考值, 再利用得到的互相关值 R_n 的峰值位置, 便可以更为准确地估计到数据帧的起始位置。

3.2 延时相关的实现

延时相关的硬件实现结构如图4所示。延时相关的计算主要包括移位寄存器、复数乘法器、滑动求和与功率归一化四部分^[6-7]。硬件实现中采用FPGA内部长度为128, 位宽16的移位寄存器IP核来实现信号的延时。

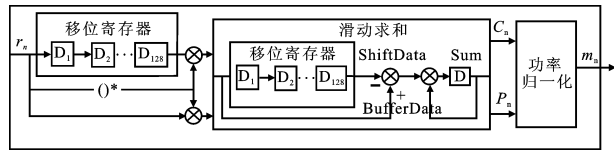


图4 延时相关硬件实现结构图

在图4中, 移位寄存器的输出数据与输入数据进行复共轭相乘, 得到相关结果。这里的复数乘法运算如果采用最小延迟的并行结构来实现的话, 需要4个实数乘法器, 如式(2)计算。

$$\begin{aligned} Z_r + Z_i j &= (A_r + A_i j) \times (B_r + B_i j) \rightarrow \\ \begin{cases} Z_r = A_r B_r - A_i B_i \\ Z_i = A_r B_i + A_i B_r \end{cases} \end{aligned} \quad (2)$$

将式子作如下变换

$$\begin{aligned} Z_r &= A_r B_r - A_i B_i = A_r (B_r + B_i) - B_i (A_r + A_i) \\ Z_i &= A_r B_i + A_i B_r = A_r (B_r + B_i) - B_r (A_r - A_i) \end{aligned} \quad (3)$$

这样, 只需3个实数乘法器和一些额外的加减运算就可以实现复数的乘法运算。

根据图4的结构图, 数据的复共轭相乘值要在长度为 $L_1 = 128$ 的滑动窗口内进行求和, 硬件实现上采用滑动窗口累加的思想, 当复共轭相乘值到达时, 首先送至一个长度为128的移位寄存器, 实现当前输入数据和当前输入前128个采样点数据的同步输出, 然后将这两个数据送至累加窗口实现累加, 窗口的初始值为0。滑动窗口累加计算如式(4):

$$\text{Sum} = \text{Sum} + \text{BufferData} - \text{ShiftData} \quad (4)$$

式中, Sum 为累加和; BufferData 为当前输入数据; ShiftData 为经移位寄存器延时128个采样点之后的数据。

功率归一化单元中需要用到除法运算, 硬件实现中首先将除法运算简化为乘法运算, 即 $|C_n|/P_n > \text{th}(\cdot)$ 变换为 $|C_n| > \text{th}(\cdot) * P_n$, 其中 $\text{th}(\cdot)$ 为判决门限。取 $\text{th}(\cdot) = 0.5$, 就可以将乘法运算简化为移位运算, 即 $|C_n| > (P_n \gg 1)$, 从而节约硬件资源。

3.3 互相关的实现

互相关的硬件实现结构如图5所示, 包括量化和匹配滤波器两个部分^[8-9]。首先通过量化器将接收到的数据 r_n 量化为 $\{1, -1\}$, 即大于0的数据量化为1, 而小于0的数据的量化为-1。经过量化处理后, 接收信号送入匹配滤波器, 首先与本地已知的128个短训练序列进行相关运算, 并将相关值累加求和得到互相关的结果。需要说明的是, 图中匹配滤波器部分的乘法器只是表示功能, 在具体硬件实现上, 由于经过量化处理, 匹配滤波器输入的数据只会有 $1+j, 1-j, -1+j, -1-j$ 四种情况, 由于实部和虚部的绝对值均为1, 因此乘法运算可以简化为加减运算实现, 从而避免了乘法器资源的大量使用。

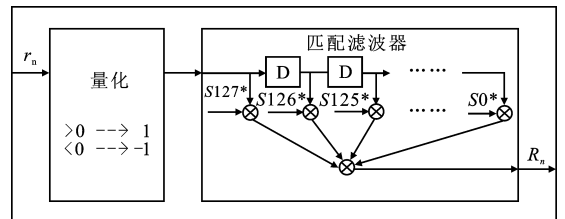


图5 互相关硬件实现结构图

4 系统的FPGA硬件实现

本文的硬件平台采用软件无线电的思想, 构造了一个模块化的通用硬件平台, 如图6所示。以Xilinx公司推出的Kintex-7系列XC7K325T FPGA

为核心,辅以高速的 ADC 芯片 ADS42LB69 和 DAC 芯片 AD9142 构成了整个系统基带数据处理的主体^[10]. 硬件平台采用直流 5 V 电源供电,10 MHz 的恒温晶振作为时钟源,通过时钟芯片 LMK03806 为 FPGA,ADC 和 DAC 芯片提供工作时钟,此外结合复位电路、配置电路和 SMA 接口共同构成 OFDM 基带系统硬件平台. FPGA 作为整个硬件平台的核心,承担着基带数据处理和芯片的访问和控制任务,它的性能决定了整个系统的性能. 本文硬件平台采用的 FPGA 资源丰富,能满足系统实现的需求,而且为后续的功能扩展提供了很大的空间.

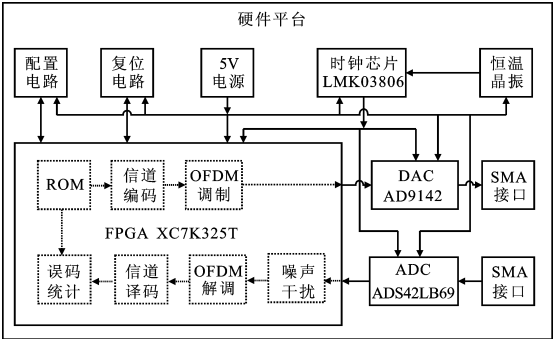


图 6 OFDM 基带系统硬件框图

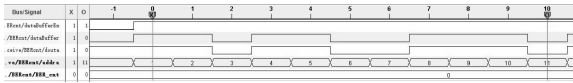
本文实现的 OFDM 基带系统在硬件平台上的验证方案如下:

- (1)先从 MATLAB 的随机信源中产生构成一个无线帧所需的发送数据(2 000 bits),转换为. COE 文件格式,存放到 FPGA 的 ROM 中.
- (2)FPGA 顺序读取 ROM 中的发送数据,进行 OFDM 调制,将调制后的基带信号保存到本地文件中. MATLAB 读取本地基带信号,产生不同信噪比的 AWGN 和单音干扰、部分频带干扰,分别进行 16 位的量化,并转换为. COE 文件格式,存放到 FPGA 的 ROM 中.
- (3)将包含了整个程序内容的 bit 文件加载到硬件平台上,通过 ISE 提供的片上逻辑分析仪 Chipscope 对系统关键模块运行结果进行观察,并将得到的接收数据与发送数据进行比对,统计误码,从而得到系统在不同噪声和干扰下的误码性能.

5 系统测试及性能分析

按照上述方案对 OFDM 基带系统在硬件平台上进行测试. 首先在没有加入噪声和干扰模块的情况下,Chipscope 测试结果如图 7 所示. 通过对图 7

(a)中数据起始 10 比特和图 7(b)中数据末尾 10 比特进行比对,可以看出接收数据与发送数据完全一致,而且用于误码统计的信号 BER_cnt 一直为零,说明系统各个模块功能正确且能够工作正常.



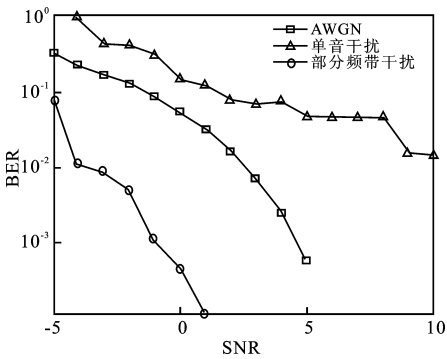
(a) 数据起始 10 比特



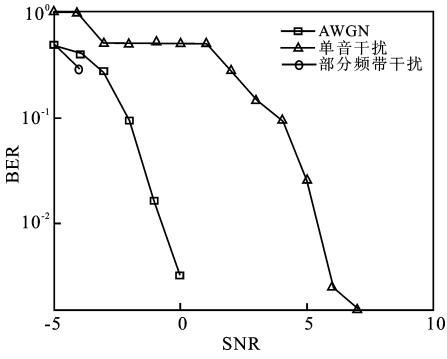
(b) 数据末尾 10 比特

图 7 无噪声和干扰情况下系统硬件测试结果

接下来分别加入 AWGN 和单音干扰、部分频带干扰模块,这些模块中有预先计算并存储好的不同信噪比的噪声和干扰信号,加入到 OFDM 基带系统中,得到不同信噪比下不同噪声和干扰对系统性能的影响,分别测试无信道编解码模块和有信道编解码模块 OFDM 系统的误码性能,结果如图 8 所示.



(a) 无信道编解码的误码率曲线



(a) 有信道编解码的误码率曲线

图 8 系统误码性能

在 AWGN 和部分频带干扰情况下,有信道编解码的系统比无信道编解码的系统无误码传输性能

提升了 5 dB. 在单音干扰情况下, 有信道编解码的系统比无信道编解码的系统误码性能也有一定的提升. 对测试结果进行分析, 系统中加入的单音干扰频率恰好对准 OFDM 基带信号中调制有效数据的子载波, 因此对于加入单音干扰的情况, 无信道编解码的系统无法实现无误码传输, 加入信道编解码之后, 系统性能在较大信噪比下 (5 dB~10 dB) 得到了较大的提升, 但是当信噪比降低时, 系统性能的提升不明显. 由于用作测试的发送数据只有 2 000 个, 卷积编码之后的数据为 8 960 个, 数据量不够大, 出现了统计得到的误码数目为 0 的情况, 在绘制误码率曲线时误码数目为 0 的部分在图中没有显示, 如图 8(a) 中 AWGN 情况下, 6 dB 时统计得到的误码为 0, 在图中无法显示, 同理如图 8(b) 中在 AWGN 和部分频带干扰下也出现了同样的情况.

图 9 是在不同噪声和干扰情况下帧同步模块的性能曲线, 从图中可以看出, 在 AWGN 和部分频带干扰信噪比达到 -7 dB~-6 dB 的情况下, 帧同步模块正确检测概率为 1, 能够准确检测出数据帧起始位置, 到 -10 dB 时帧同步模块功能才完全失效. 在单音干扰的情况下, 信噪比达到 -6 dB 时帧同步模块已经完全失效. 说明系统采用的帧同步方法可以有效对抗 AWGN 和部分频带干扰的环境, 对单音干扰的对抗性能稍差.

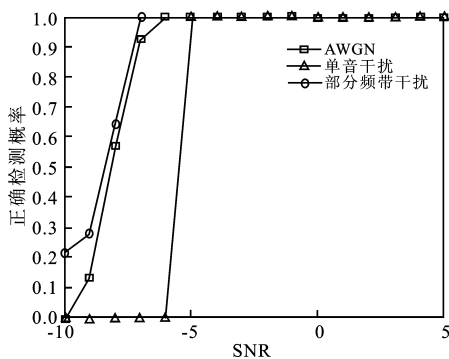


图 9 不同噪声和干扰下帧同步模块性能曲线

6 结束语

本文设计并实现了一个可靠的 OFDM 基带系统, 给出了帧同步的具体实现方案, 并在硬件平台上实现该系统, 对系统在不同噪声和干扰情况下的误码性能进行测试. 测试结果表明, 加入信道编解码的 OFDM 基带系统在低信噪比下仍然可以实现数据的无误码传输, 采用的帧同步方法 also 具有很高的可

靠性. 同时本文设计的硬件平台具有很好的通用性, 也为系统中其他关键技术的研究提供了硬件平台.

参考文献:

- [1] SCHMIDL T M, COX D C. Robust frequency and timing synchronization for OFDM[J]. IEEE Trans Commun, 1997, 45(12):1613-1621.
- [2] MINN H, BHARGAVA V K, LETAIEF K B. A robust timing and frequency synchronization for OFDM systems[J]. IEEE Transactions on Wireless Communications, 2003, 2(4):822-839.
- [3] 吴虹, 林鹏, 陈坤, 等. 基于 IEEE 802.11ad 的 OFDM 系统帧同步检测方法[J]. 南开大学学报(自然科学版), 2015, 60(5):90-95.
- [4] ABDZADEH Z H, SHAYESTEH M G. Robust timing and frequency synchronization for OFDM systems[J]. IEEE Transactions on Vehicular Technology, 2011, 60(8):3646-3656.
- [5] 曹槟, 梅航, 杨雄, 等. 卫星移动通信中基于前导的定时同步算法[J]. 重庆邮电大学学报(自然科学版), 2015, 27(3):323-328.
- [6] AWOSEYILA A B, KASPARIS C, EVANS B G. Robust time-domain timing and frequency synchronization for OFDM systems[J]. IEEE Transactions Consumer Electronics, 2009, 55(2):391-399.
- [7] ABDZADEH Z H, SHAYESTEH M G, MANAFAR M. An improved timing estimation method for OFDM systems[M]. New York: IEEE Press, 2010.
- [8] KRYSZKIEWICZ P, BOGUCKA H. Low complex, narrowband-interference robust synchronization for NC-OFDM cognitive radio[J]. IEEE Transactions on Communications, 2016, 64(9):3644-3654.
- [9] 井庆丰, 陆宇平, 仲伟志, 等. 基于伪随机序列前导码的 OFDM 系统帧同步算法[J]. 系统工程与电子技术, 2013, 35(2):408-413.
- [10] 刘东华. Xilinx 系列 FPGA 芯片 IP 核详解[M]. 北京: 电子工业出版社, 2013.

作者简介:

薛候凯 男, (1993-), 硕士研究生. 研究方向为电子与通信工程. E-mail: xuehoukai@126.com.

高 强 男, (1971-), 教授, 硕士生导师. 研究方向为通信与信息系统.

姚彦鑫 女, (1982-), 副教授, 硕士生导师. 研究方向为全球卫星导航系统、智能化信号处理、网络优化.